

Essential Tcl/Tk ist ein 3-tägiger Kurs, in dem die Grundzüge der Sprache und ihre Anwendung auf dem Gebiet des PLD- und ASIC-Designs vermittelt werden. Er ist vollgepackt mit Beispielen und Übungen, die direkt auf Design bezogenen Problemen aus der Praxis basieren, und behandelt die Grundlagen, die für Designingenieure und EDA-Supportspezialisten ein absolutes Muss sind. Das Kursprogramm umfasst die Sprache Verilog, das Codieren für RTL-Synthese (Register Transfer Level), Entwickeln von Text-Fixtures, und Arbeiten mit Verilog-Tools. Außerdem werden nach einer kürzlich durchgeführten Programmaktualisierung nun die Funktionen von Verilog 2001 behandelt.



Die Übungen nehmen ca. 50% der Unterrichtszeit ein und basieren auf sorgfältig ausgearbeiteten Beispielen, die die Kursteilnehmer in ihren neu erworbenen Kenntnissen herausfordern und das Erlernete untermauern.

Dauer: 3 Tage

Inhalt

- Die Kernpunkte der Tcl-Grammatik: Substitutions- und Parsing-Regeln, die das Fundament der gesamten Sprache bilden.
- Eingehendes Verständnis des Kerns der Tcl-Standardbefehle sowie ein Überblick über fortgeschrittenere Befehle, um ein tiefergehendes Selbststudium zu ermöglichen.
- Textverarbeitungstechniken zur Analyse von HDL-Quellcode und Tool-Ausgabedateien.
- Techniken zum Steuern und Kommunizieren mit anderen Tools mit Hilfe von Tcl, mit besonderem Augenmerk auf FPGA/ASIC-Designaufgaben.
- Erstellen und Anpassen von grafischen Benutzeroberflächen für EDA-Tools mit Hilfe von Tcl/Tk.

Voraussetzungen

Vorkenntnisse in Tcl/Tk sind nicht erforderlich. Gewisse Erfahrungen mit mindestens einer Softwareprogrammiersprache wären sehr von Vorteil, sind aber nicht unbedingt erforderlich. Die Kursteilnehmer sollten jedoch im Umgang mit dem Computer vertraut sein und Kenntnisse im digitalen Hardwaredesignprozess mitbringen.